

## LIQUID CRYSTAL DRIVING CIRCUIT

Patent Number: JP2293894  
Publication date: 1990-12-05  
Inventor(s): SAITO TADASHI  
Applicant(s): NEC CORP  
Requested Patent: ☒ JP2293894  
Application Number: JP19890116304 19890509  
Priority Number(s):  
IPC Classification: G09G3/36; G02F1/133  
EC Classification:  
Equivalents: JP2600372B2

### Abstract

**PURPOSE:** To integrate ICs to a high scale by charging the ramp voltages simultaneously inputted to respective stages to the reference voltages selected in accordance with the data signal values transferred for each of the stages and outputting liquid crystal driving voltages.

**CONSTITUTION:** This driving circuit has comparators 13a to 13n which are inputted with the liquid crystal driving voltages v18a to v18n outputted by n-stages of source-follower circuits 22 to 2n consisting of output transistors (TRs) Qa to Qn and constant current sources Ia to In of one piece per stages at one end and compare the same in correspondence with the selected reference voltages v12a to v12n at other end and open and close the corresponding sampling switches 14a to 14n of the respective stages by the comparator output voltages v13a to v13n. The output TRs Qa to Qn are one piece per each of the stages (a) to (n) in such a manner and the comparators 13a to 13n can be easily constituted of three pieces of switches, one piece of capacitor and one piece of NOT circuit and, therefore, the driving circuits are formed as a small-sized integrated circuit.

Data supplied from the esp@cenet database - I2

d)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-293894

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)12月5日

G 09 G 3/36  
G 02 F 1/133

5 7 5

8621-5C  
8708-2H

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 液晶駆動回路

⑯ 特 願 平1-116304

⑰ 出 願 平1(1989)5月9日

⑱ 発 明 者 齊 藤 正 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

液晶駆動回路

特 許 請 求 の 範 囲

- (A) 入力した画像信号を転送するために複数個がカスケードに接続されたシフトレジスタと、該シフトレジスタのそれぞれから転送された前記画像信号を保持して保持信号を出力する複数のラッチ回路とを有するセレクト駆動部、
- (B) 入力する複数の基準電圧から、前記保持信号によって対応する基準電圧を選択してそれぞれ選択基準電圧を出力する複数のセレクト、
- (C) 時間に比例して変化するランプ電圧を入力し、サンプルスイッチによりサンプルホールドするサンプリング回路、
- (D) 前記サンプリング回路のそれぞれのホ

ールド電圧を入力して液晶駆動電圧を出力する複数のソースホロワ回路、

(E) 前記液晶駆動電圧とそれぞれに対応する前記選択基準電圧を入力して比較し一致した時点で対応する前記サンプルスイッチを駆動する複数のコンパレータ、を含むことを特徴とする液晶駆動回路。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は液晶駆動回路に関する。

〔従来の技術〕

アクティブマトリックス液晶パネルは、デジタル画像信号を入力する駆動回路によって表示制御される。

第5図は従来の液晶駆動回路の一例のブロック図である。

m階調のデジタル画像信号 $v_0$ は信号入力端子群 $T_0$ から入力され、クロックパルス入力端子 $T_4$ に加わったクロックパルス $v_4$ により、n段

のシフトレジスタ10。～10。に転送され、また、ラッチパルス入力端子T<sub>7</sub>に加わったラッチパルスv<sub>7</sub>により対応する段a～nのラッチ回路11。～11。にそれぞれ転送される。

それぞれラッチされた保持信号v<sub>1a</sub>～v<sub>1n</sub>はそれぞれ対応するa～n段のセレクト23。～23。により選択されて、各々の液晶駆動電圧出力端子T<sub>1a</sub>～T<sub>1n</sub>に接続されている出力トランジスタQ<sub>11</sub>～Q<sub>1n</sub>段からQ<sub>1a</sub>～Q<sub>1n</sub>段までの各段につきmケのトランジスタのどれか一つづつをオン状態にさせ電源電圧端子T<sub>21</sub>～T<sub>2m</sub>のうちの希望する電源電圧V<sub>1</sub>～V<sub>m</sub>の一つづつをm階調の電圧として液晶ディスプレイに与えている。

一般に階調mの数は16、段数nの数は100程度である。

従って出力トランジスタQ<sub>11</sub>～Q<sub>1n</sub>は1600個となる。

〔発明が解決しようとする課題〕

上述した従来の駆動回路では、階調数mが多いと出力トランジスタ数が増えるため、集積回路を

構成する場合には出力トランジスタでチップ面積の約半分を占めチップサイズが大きくなり、コスト高となる。

特に液晶パネルの画面が増大すれば、出力トランジスタの駆動能力をさらに高くする必要があるため、さらに出力トランジスタのチップサイズが大きくなり、集積回路に適さないという欠点があった。

また、それぞれが階調数m分だけの駆動電力容量を有する電圧電源が必要だった。

本発明の目的は、高集積化された集積回路で、かつ階調数の大い液晶駆動回路を提供することにある。

〔課題を解決するための手段〕

本発明の液晶駆動回路は、

(A) 入力した画像信号を転送するために複数個がカスケードに接続されたシフトレジスタと、該シフトレジスタのそれぞれから転送された前記画像信号を保持して保持信号を出力する複数のラッチ回路と

を有するセレクト駆動部、

(B) 入力する複数の基準電圧から、前記保持信号によって対応する基準電圧を選択してそれぞれ選択基準電圧を出力する複数のセレクト、

(C) 時間に比例して変化するランプ電圧を入力し、サンプルスイッチによりサンプルホールドするサンプリング回路、

(D) 前記サンプリング回路のそれぞれのホールド電圧を入力して液晶駆動電圧を出力する複数のソースホロワ回路、

(E) 前記液晶駆動電圧とそれぞれに対応する前記選択基準電圧を入力して比較し一致した時点で対応する前記サンプルスイッチを駆動する複数のコンパレータ、

を含んで構成されている。

〔実施例〕

第1図は本発明の第1の実施例のブロック図、第2図は第1図のブロックの各部信号の波形図、第3図(a)及び(b)は第1図のコンパレータ

及びセレクト回路図である。

液晶駆動回路は、第5図に示した従来のセレクト駆動回路1とn段のラッチ回路11。～11。にラッチされた保持信号v<sub>1a</sub>～v<sub>1n</sub>に対応して基準電源端子T<sub>11</sub>～V<sub>1n</sub>から基準電圧V<sub>11</sub>～V<sub>1n</sub>の一つを選択基準電圧として選択するためのセレクト12。～12。と、ランプ電圧v<sub>1</sub>を入力とし各段a～nのサンプリングコンデンサC<sub>a</sub>～C<sub>n</sub>とサンプリングスイッチ14。～14。から成るサンプリング回路3。～3。と、各段1ケの出力トランジスタQ<sub>a</sub>～Q<sub>n</sub>と定電流源I<sub>a</sub>～I<sub>n</sub>から成るn段のソースホロワ回路2。～2。と、各ソースホロワ回路2。～2。の出力する液晶駆動電圧v<sub>1a</sub>～v<sub>1n</sub>を一方に入力し他方に選択基準電圧v<sub>12a</sub>～v<sub>12n</sub>を対応して比較し、そのコンパレータ出力電圧v<sub>13a</sub>～v<sub>13n</sub>により、各段の対応するサンプリングスイッチ14。～14。を開閉するコンパレータ13。～13。とから構成される。

第2図に示すように、画像信号v<sub>3</sub>は入力端子

$T_i$  から入力されて、クロックパルス  $v_c$  により各段のシフトレジスタ  $10_i \sim 10_n$  を転送され、ラッチ回路  $11_i \sim 11_n$  に入力するラッチパルス  $v_l$  により次の 1 水平期間の間のデータが保持されている。

各段  $a \sim n$  のセレクト  $12_i \sim 12_n$  は、保持信号  $v_{L1} \sim v_{L2}$  の信号に対応した基準電圧  $V_1 \sim V_m$  の一つを選択し、各段のコンパレータ  $13_i \sim 13_n$  の各入力端子に入力する。

最初、各段のサンプリングコンデンサ  $C_i \sim C_n$  の充電電位はすべてゼロであり、各々の液晶駆動電圧出力端子  $T_{18i} \sim T_{18n}$  の出力電圧  $V_{18i} \sim V_{18n}$  はほぼグランド電位にあるとする。

次に、時間を比例して上昇していくランプ電圧  $v_i$  が入力端子  $T_i$  から入力される。

各段のコンパレータにクロックパルス  $v_c$  を入力開始する。

各段のコンパレータ  $13_i \sim 13_n$  は、各段の液晶駆動出力電圧  $v_{18i} \sim v_{18n}$  の電圧値とそれ

ぞれ対応する段のセレクト  $12_i \sim 12_n$  の一つで選択された選択基準電圧  $v_{12i} \sim v_{12n}$  の一つとの比較を行なう。

最初に選択された基準電圧  $v_i$  は、ランプ電圧  $v_i$  よりも高く、各段  $a \sim n$  のコンパレータ  $13_i \sim 13_n$  の出力電圧  $v_{13i} \sim v_{13n}$  は各時点  $t$ 。サンプリングスイッチ  $14_i \sim 14_n$  を閉じ、各段のサンプリングコンデンサ  $C_i \sim C_n$  をランプ電圧  $v_i$  で充電し、各段の定電流源  $I_i \sim I_n$  と、各段の出力トランジスタ  $Q_i \sim Q_n$  で構成されるソースホロワ回路  $2_i \sim 2_n$  の出力端子  $T_{18i} \sim T_{18n}$  に出力される。

時間が経過しランプ電圧  $v_i$  が上昇し、各段の出力電圧  $v_{18i} \sim v_{18n}$  も  $v_i$  に比例して上昇し、基準電圧  $V_1 \sim V_m$  の一つをそれぞれ選択したセレクト電圧、例えば  $V_i, V_j$  を越える。

その時点  $t_1, t_2$  で各段  $a \sim n$  のコンパレータ出力電圧  $v_{13i} \sim v_{13n}$  は反転し、各段のサンプリングスイッチ  $14_i \sim 14_n$  を開かせる。

その結果、各段の駆動出力電圧  $v_{18i} \sim v_{18n}$

は、各段のラッチ  $11_i \sim 11_n$  にそれぞれ保持された信号に対応した値、ここでは  $V_i$  及び  $V_j$  を得る。

第 1 図の回路の出力トランジスタ  $Q_i \sim Q_n$  は、各段  $a \sim n$  につき 1 ケであり、第 3 図 (a) に示すようにコンパレータ  $13_i \sim 13_n$  も三ケのスイッチと 1 ケのコンデンサ及び 1 ケの NOT 回路で簡単に構成でき、第 3 図 (b) に示すようにセレクト  $12_i \sim 12_n$  もデコーダ 4 と  $m$  ケのトランスファゲート TG で構成できるので、従来は、トランジスタ  $Q_{11} \sim Q_{mn}$  の各  $m \times n$  個が必要だったのが本実施例では  $Q_i \sim Q_n$  の  $n$  個に減り、例えば  $m$  が 16 の場合は集積回路のチップの占有面積は約 60% に減少するので、駆動回路を小形の集積回路にできる効果がある。

第 4 図は本発明の第 2 の実施例のランプ電圧の波形図である。

一般にアクティブマトリックスの液晶の駆動においては、透過率が大きく変化する電圧範囲は小さい。

本実施例ではその電圧範囲に  $\Delta V_{L1}, \Delta V_{L2}$  に特に分解能を高めるようにランプ電圧  $v_i$  として低い上昇率時間  $\tau_{L1}, \tau_{L2}$  を有する非線型電圧  $v_{NL}$  を与えている。

これにより、液晶に正確な駆動電圧を供給する液晶駆動回路を得ることができる。

(発明の効果)

以上説明したように本発明は、複数段の出力に対してサンプリング回路とソースホロワ回路とコンパレータ回路を設けて、各段に同時に入力されたランプ電圧を、各段ごとに転送されたデータ信号値対応して選択された基準電圧まで充電して液晶駆動電圧を出力することにより、従来のような階調数分の出力トランジスタ数を必要とせず、各段にソースホロワだけの出力トランジスタ 1 個で済むことができ IC の高集積化が可能となる。

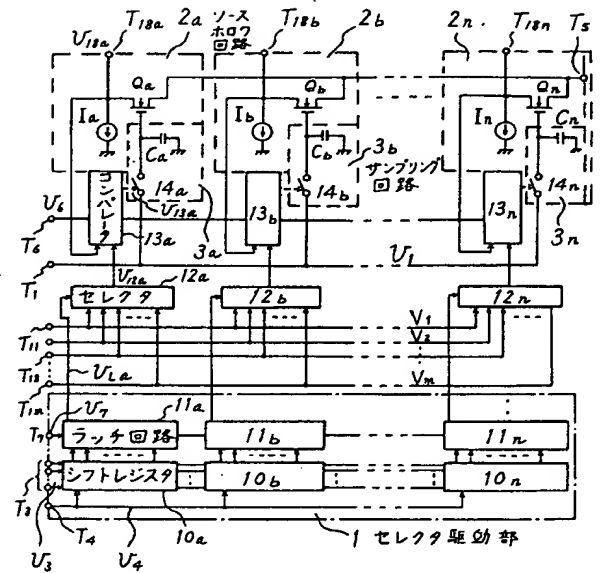
図面の簡単な説明

第 1 図は本発明の第 1 の実施例のブロック図、第 2 図は第 1 図のブロックの各部信号の波形図、

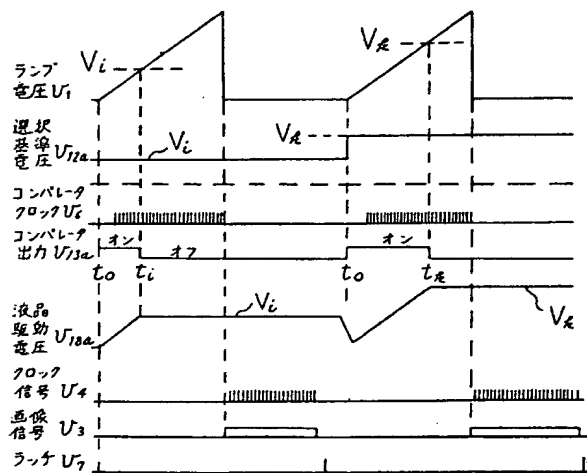
第3図(a)及び(b)は第1図のコンパレータ及びセレクトの回路図、第4図は本発明の第2の実施例のランプ電圧の波形図、第5図は従来の液晶駆動回路の一例のブロック図である。

1…セレクト駆動部、2a～2n…ソースホワ回路、3a～3n…サンプリング回路、10a～10n…シフトレジスタ、11a～11n…ラッチ回路、12a～12n…コンパレータ、13a～13n…サンプルスイッチ、C<sub>a</sub>～C<sub>n</sub>…サンプリングコンデンサ、Q<sub>a</sub>～Q<sub>n</sub>…出力トランジスタ、T<sub>2</sub>…基準電圧端子、T<sub>18a</sub>～T<sub>18n</sub>…液晶駆動電圧出力端子、V<sub>1</sub>～V<sub>m</sub>…基準電圧、v<sub>1</sub>…ランプ電圧、v<sub>3</sub>…画像信号、v<sub>4</sub>…クロックパルス、v<sub>7</sub>…ラッチパルス、v<sub>12a</sub>…選択基準電圧、v<sub>13a</sub>…コンパレータ出力信号、v<sub>18a</sub>～v<sub>18n</sub>…液晶駆動電圧、v<sub>1a</sub>…保持信号。

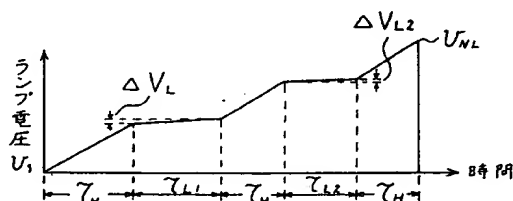
代理人 弁理士 内 原 晋



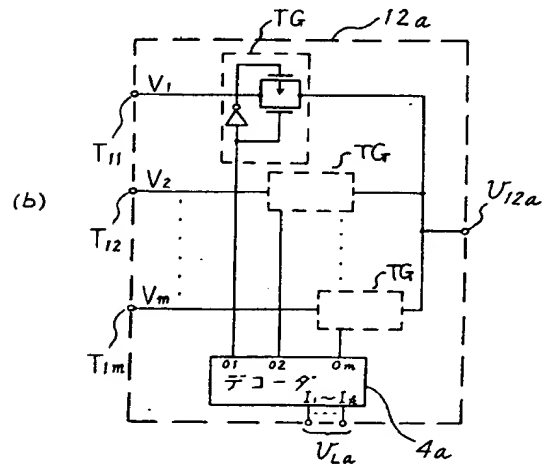
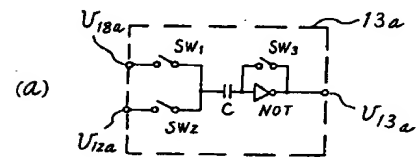
第1図



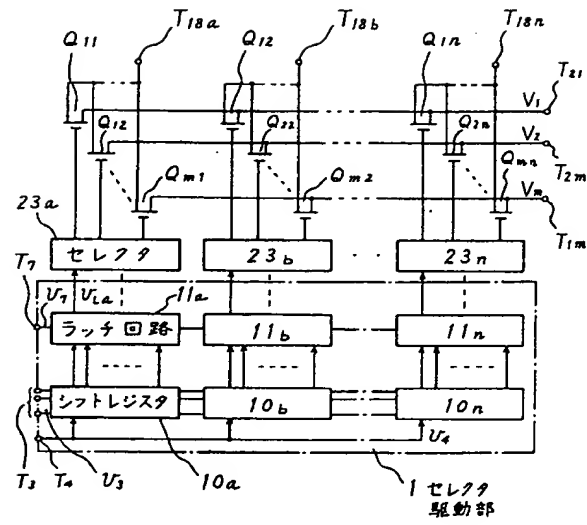
第2図



第4図



第3図



第5図